

特開平7-84871

(43)公開日 平成7年(1995)3月31日

(51)Int.Cl.⁶

G 0 6 F 12/06

G 1 1 C 8/04

識別記号

府内整理番号

F I

技術表示箇所

5 2 3 C 9366-5B

審査請求 未請求 請求項の数3 O.L (全4頁)

(21)出願番号 特願平5-233224

(22)出願日 平成5年(1993)9月20日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 ▲高▼野 智

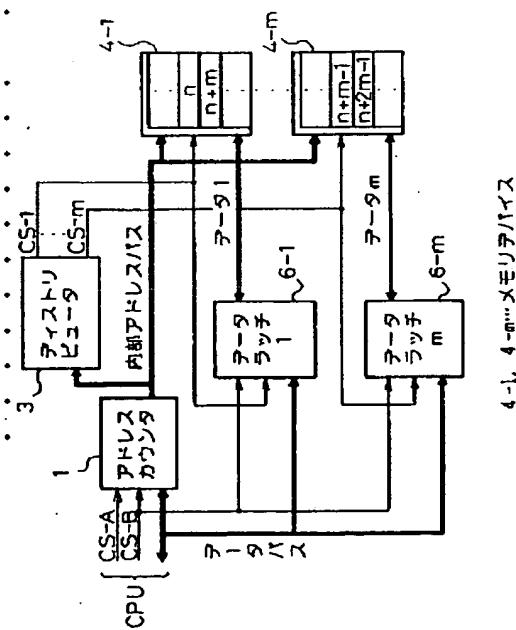
宮城県仙台市青葉区一番町1丁目2番25号

富士通東北ディジタル・テクノロジ株式
会社内

(74)代理人 弁理士 宇井 正一 (外4名)

(54)【発明の名称】連続アドレスデータ用メモリのアクセス回路

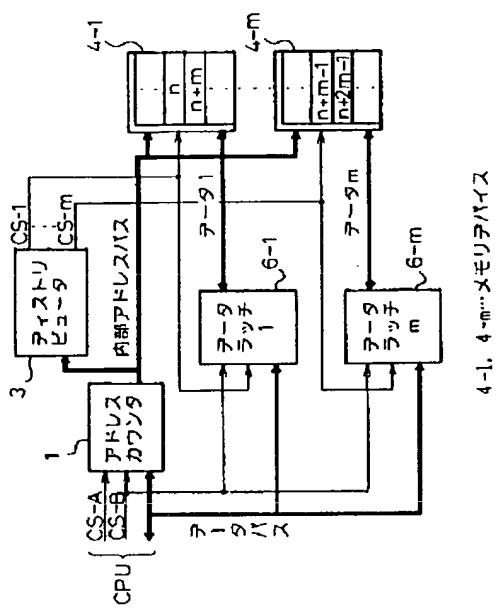
本発明の原理を示すブロック回路図



FUSA 006100

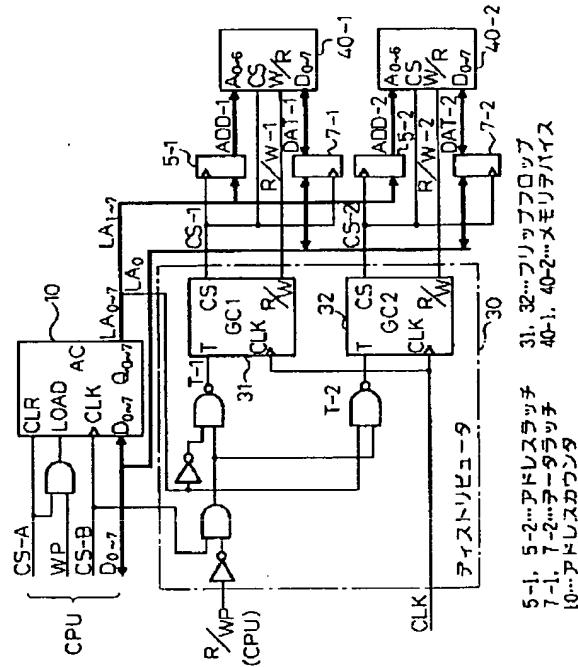
FUSA 006101

本発明の原理を示すブロック回路図



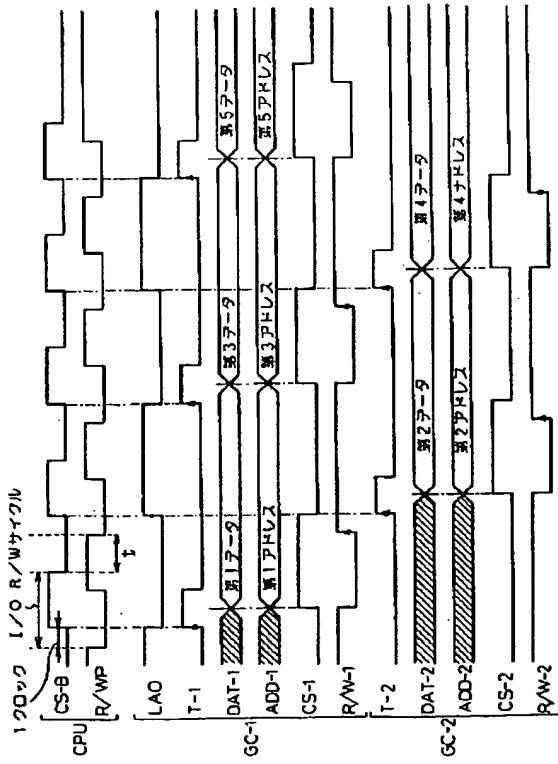
4-1, 4-m...メモリバサイズ

実施例の回路図



5-1, 5-2...アドレスラッチ
7-1, 7-2...データラッチ
10...アドレスカウンタ
31, 32...プリップラップ
40-1, 40-2...メモリバサイズ

実施例の回路における動作のタイムチャートを示す図



従来型の回路のブロック回路図

